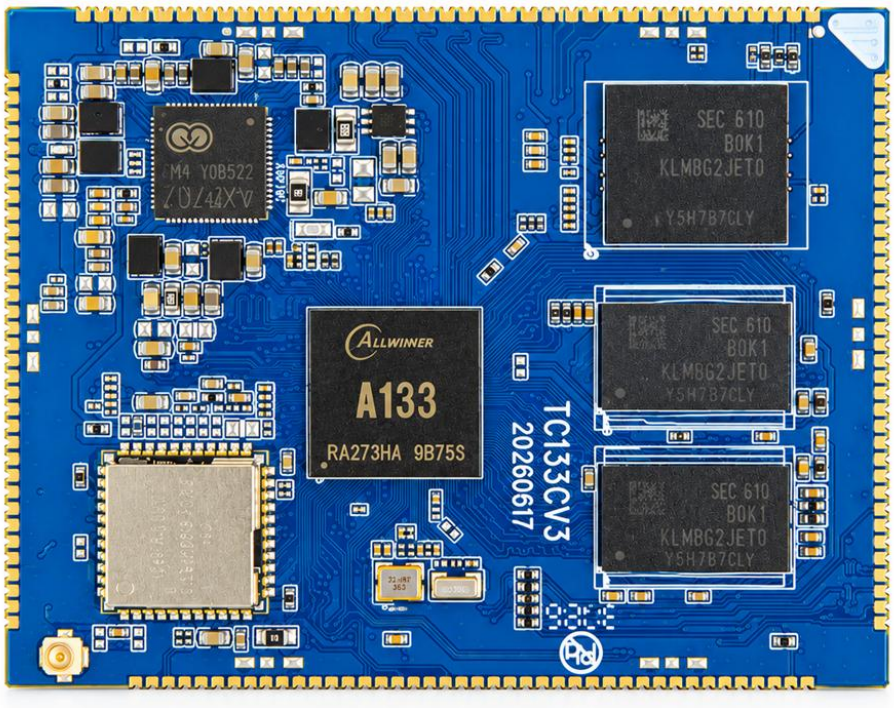
TD133 核心板
使用手册



型号：TD133CV4　版本：V1.0　日期：2026 年 11 月

四核 A53 · 155PIN · 64mm × 50 mm · 1.2 mm 间距

本手册面向 TD133 核心板的选型、底板设计、系统调试与量产导入，
给出引脚定义、电源设计、USB/MIPI 设计与底板设计要点。

深圳市九鼎创展科技有限公司
www.9tripod.com

版权声明

本手册版权归属深圳市九鼎创展科技有限公司所有，并保留一切权利。非经九鼎创展书面同意，任何单位及个人不得擅自摘录本手册部分或全部内容，违者将被追究法律责任。

本手册所载信息力求准确可靠，但产品与资料会持续更新。九鼎创展保留在不另行通知的情况下修改产品、规格与文档的权利。请在 www.9tripod.com 获取最新版本。

版本说明

版本	日期	作者	说明
V1.0	2026-11-05	九鼎创展	基于 TD133 核心板使用手册整理，采用 MT8883 手册模板

技术支持

如果您对本手册或产品有疑问，可在办公时间（周一至周五 9:00–12:00，13:30–18:00）通过以下方式联系技术支持。

项目	内容
公司	深圳市九鼎创展科技有限公司
地址	深圳市宝安区西乡街道龙腾社区汇智研发中心 B 座 1505-1508 室
电话	400-003-3436
邮箱	supports@9tripod.com
网址	**http://www.9tripod.com**
论坛	http://bbs.9tripod.com
淘宝	http://armeasy.taobao.com
淘宝	http://easyarm.taobao.com

说明：产品规格、接口定义与软件版本可能随批次和固件更新而变化。进行底板投板、量产导入或整机认证前，请与九鼎创展确认最新资料。

目 录

第 1 章 TD133 核心板简介 1
1.1 产品简介 1
1.2 核心板特性 1
1.3 系统框图 3
1.4 接口资源 3
1.5 应用场景 3
第 2 章 引脚定义 3
2.1 核心板引脚定义 1 3
2.2 核心板引脚定义 2 5
2.3 核心板引脚定义 3 6
2.4 核心板引脚定义 4 8
2.5 硬件设计 9
2.6 上电时序 10
2.7 调试接口 10
第 3 章 接口资源 10
3.1 显示接口 10
3.2 摄像头接口 11
3.3 USB 接口 12
3.4 以太网接口 12
3.5 音频接口 12
3.6 存储与 SD 卡接口 13
3.7 低速接口与 GPIO 13
3.8 系统控制与电源 13
第 4 章 PCB 设计与 Layout 指南 15
4.1 阻抗控制 15
4.2 高速差分接口 15
4.3 电源与 EMC 15
4.4 底板设计检查清单 15
第 5 章 订货与技术支持 15
5.1 订货配置 15
5.2 技术支持 16
附录 A 其他产品介绍 16
A.1 核心板系列 16
A.2 开发板系列 16
A.3 卡片电脑系列 17

第 1 章 TD133 核心板简介

1.1 产品简介

TD133 核心板是基于全志 A133 CPU 研发的一款核心板，由深圳市九鼎创展科技有限公司自主研发、生产并销售。

A133 系列芯片集成了 4 核 Arm Cortex-A53 CPU 和 Imagination PowerVR GE8300 GPU，具有强大的硬件编解码能力和丰富的屏幕接口，支持 USB、SDIO、TWI、SPI、UART、EMAC、PWM、LEDC、LRADC、GPADC、IR 等常用接口。 芯片广泛应用于平板和泛平板（带屏类平板延伸产品）产品形态。

1.2 核心板特性

TD133 核心板具有以下特性：

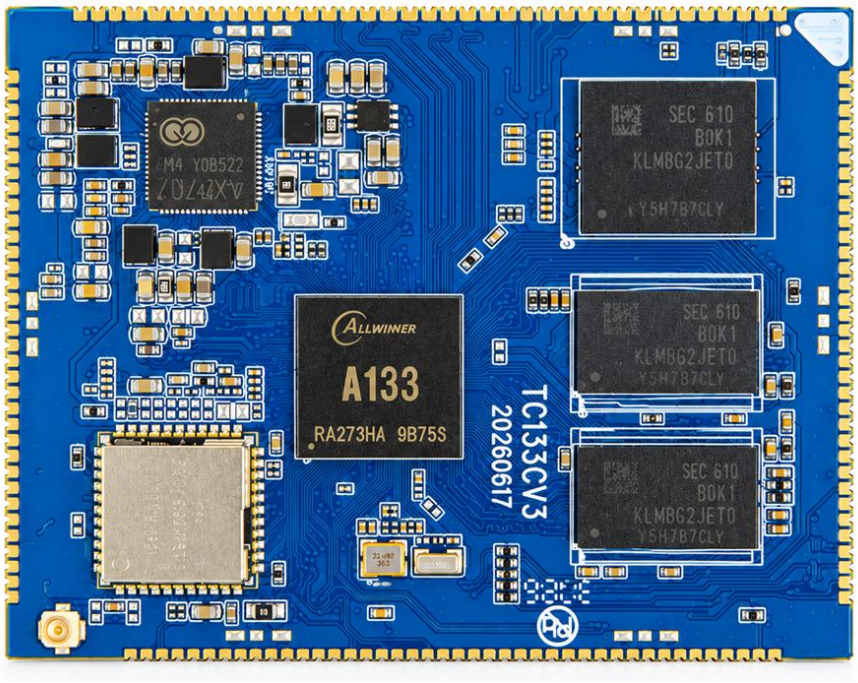
- 最佳尺寸，保证引出全部 GPIO 口的同时，尺寸仅 64mm*50mm；
- 系统供电使用 PMU，在保证工作稳定可靠的同时，成本足够低廉；
- 支持多种品牌，多种容量的 emmc；
- 使用 DDR3 设计，支持 512MB~2GB；
- 板载双频 WiFi6 模组；
- 支持电源休眠唤醒；
- 支持千兆以太网、MIPI-CSI、MIPI-DSI、LVDS 等高速总线；
- 采用 155PIN 邮票孔封装；

1.2.1 特性参数

系统配置	
CPU	A133 (Cortex-A53)
主频	1.7GHz
RAM	512MB~2GB
ROM	4GB 或 8GB 或 16GB 或 32GB 或 64GB
电源 IC	使用 AXP707，支持动态调频
接口参数	
USB 接口	2 路 USB 接口
LCD 接口	1 路 MIPI DSI/2 路 LVDS
Camera 接口	2 路 MIPI CSI 接口
SPI 接口	2 路 SPI 接口
I2C 接口	5 路 I2C 接口
UART 接口	4 路 UART 接口
SDIO 接口	1 路 SDIO 接口
I2S 接口	3 路 I2S 接口
以太网接口	1 路以太网接口
PWM 接口	5 路 PWM

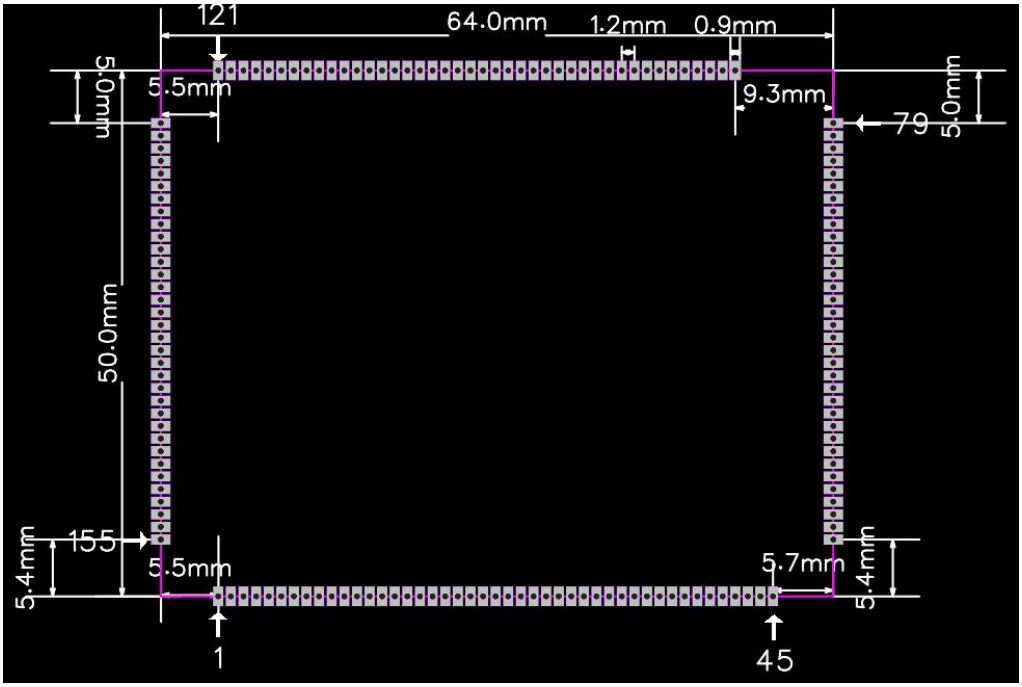
电气特性	
输入电压/电流	5V/2A
输出电压/电流	3.3V/0.5A、1.8V/0.5A、2.8V/0.3A（以实际负载为准）
工作温度	0~70 度
储存温度	-10~50 度

1.2.2 核心板外观



核心板正面图

1.2.3 核心板结构图



1.2.4 核心板结构参数

结构参数	
外观	邮票孔封装
核心板 PCB 尺寸	64mm*50mm*1.2mm
引脚间距	1.2mm
引脚数量	155PIN
板层	8 层
翘曲度	小于 0.5%

1.3 系统框图

TD133 核心板以全志 A133 为核心，板载 DDR3、eMMC 、双频 WiFi6 与 AXP707 PMIC，对外经 155PIN 邮票孔引出显示、摄像头、USB、以太网、音频、SD 卡、低速接口与电源。

1.4 接口资源

表 1-2 汇总 TD133 核心板可提供的接口资源。实际可用数量受引脚复用与底板设计影响。

表 1-2 TD133 核心板接口资源

接口类别	资源与说明
	1 路 MIPI DSI（4-lane）、2 路 LVDS
	2 路 MIPI CSI（MCSIA/MCSIB）
	2 路 USB2.0（USB0/USB1）
	1 路 RGMII 10/100/1000M
	1 路 SDC0 4-bit TF 卡
	耳机输出、2 路 MIC、LINE OUT
	4 路 UART、5 路 I2C/TWI、2 路 SPI、5 路 PWM、3 路 I2S、1 路 LRADC、GPIO
	5V/2A 输入，3.3V/1.8V/2.8V 输出

1.5 应用场景

- 平板、学习机、商业显示与自助终端；
- 工业控制、人机界面与数据采集；
- 智能家居、门禁与楼宇对讲；
- 车载后排显示、广告机与数字标牌；
- 需要多屏、多摄像头与千兆网络的嵌入式设备。

第 2 章 引脚定义

2.1 核心板引脚定义 1

核心板引脚定义 1			
引脚编号	**信号**	**类型**	**描述**
1	NMI	非屏蔽中断	上拉或下拉
2	PWRON	系统开机	低电平触发

3	RESET	主芯片复位	低电平触发
4	FEL	烧录模式进入	低电平触发
5	DCDCE/VCC3V3	电源输出	PMIC 的 DLDO3
6	ALDO3	电源输出	3.3V
7	PC7	IO	1.8V
8	PC12	IO	1.8V
9	BLDO4/DVDD-CSI	电源输出	2.8V
10	AVDD-CSI	电源输出	PMIC 的 DLDO3
11	VCC-CSI	电源输出	1.8V
12	PD19/LCD0_DE/LVDS1_D3N/UART4_RX/EINK_STH/PD_EINT19	IO	3.3V/复用成 LVDS 则变 1.8V
13	PD18/LCD0_CLK/LVDS1_D3P/UART4_TX/EINK_CKH/PD_EINT18	IO	3.3V/复用成 LVDS 则变 1.8V
14	PD23/PWM0/TWI0_SDA/PD_EINT23	IO	3.3V/复用成 LVDS 则变 1.8V
15	PD21/LCD0_VSYNC/PWM3/UART4_CTS/EINK_MODE/PD_EINT21	IO	3.3V/复用成 LVDS 则变 1.8V
16	PD20/LCD0_HSYNC/PWM2/UART4_RTS/EINK_CKV/PD_EINT20	IO	3.3V/复用成 LVDS 则变 1.8V
17	PD22/PWM1/TWI0_SCK/EINK_STV/PD_EINT22	IO	3.3V/复用成 LVDS 则变 1.8V
18	PD16/LCD0_D22/LVDS1_CKP/UART3_RTS/EINK_OEH/PD_EINT16	IO	3.3V/复用成 LVDS 则变 1.8V
19	PD17/LCD0_D23/LVDS1_CKN/UART3_CTS/EINK_LEH/PD_EINT17	IO	3.3V/复用成 LVDS 则变 1.8V
20	PD8/LCD0_D12/LVDS0_D3P/DSI_DP3/EINK0_D8/PD_EINT8	IO	3.3V/复用成 LVDS 则变 1.8V
21	PD9/LCD0_D13/LVDS0_D3N/DSI_DM3/EINK0_D9/PD_EINT9	IO	3.3V/复用成 LVDS 则变 1.8V
22	PD4/LCD0_D6/LVDS0_D2P/DSI_CKP/EINK0_D4/PD_EINT4	IO	3.3V/复用成 LVDS 则变 1.8V
23	PD5/LCD0_D7/LVDS0_D2N/DSI_CKM/EINK0_D5/PD_EINT5	IO	3.3V/复用成 LVDS 则变 1.8V
24	PD6/LCD0_D10/LVDS0_CKP/DSI_DP2/EINK0_D6/PD_EINT6	IO	3.3V/复用成 LVDS 则变 1.8V
25	PD7/LCD0_D11/LVDS0_CKN/DSI_DM2/EINK0_D7/PD_EINT7	IO	3.3V/复用成 LVDS 则变 1.8V
26	PD2/LCD0_D4/LVDS0_D1P/DSI_DP1/EINK0_D2/PD_EINT2	IO	3.3V/复用成 LVDS 则变 1.8V
27	PD3/LCD0_D5/LVDS0_D1N/DSI_DM1/EINK0_D3/PD_EINT3	IO	3.3V/复用成 LVDS 则变 1.8V
28	PD0/LCD0_D2/LVDS0_D0P/DSI_DP0/EINK0_D0/PD_EINT0	IO	3.3V/复用成 LVDS 则变 1.8V

29	PD1/LCD0_D3/LVDS0_D0N/DSI_DM0/EINK0_D1/PD_EINT1	IO	3.3V/复用成 LVDS 则变 1.8V
30	PD14/LCD0_D20/LVDS1_D2P/UART3_TX/EINK0_D14/PD_EINT14	IO	3.3V/复用成 LVDS 则变 1.8V
31	PD15/LCD0_D21/LVDS1_D2N/UART3_RX/EINK0_D15/PD_EINT15	IO	3.3V/复用成 LVDS 则变 1.8V
32	PD12/LCD0_D18/LVDS1_D1P/SPI1_MOSI/EINK0_D12/PD_EINT12	IO	3.3V/复用成 LVDS 则变 1.8V
33	PD13/LCD0_D19/LVDS1_D1N/SPI1_MISO/EINK0_D13/PD_EINT13	IO	3.3V/复用成 LVDS 则变 1.8V
34	PD10/LCD0_D14/LVDS1_D0P/SPI1_CS/EINK0_D10/PD_EINT10	IO	3.3V/复用成 LVDS 则变 1.8V
35	PD11/LCD0_D15/LVDS1_D0N/SPI1_CLK/EINK0_D11/PD_EINT11	IO	3.3V/复用成 LVDS 则变 1.8V
36	GND	参考地	
37	USB1-DM	USB 信号	不可做 GPIO
38	USB1-DP	USB 信号	不可做 GPIO
39	GND	参考地	
40	USB0-DM	USB 信号	不可做 GPIO
41	USB0-DP	USB 信号	不可做 GPIO
42	GND	参考地	
43	MCSIA-RST/PE9/BIST_RESULT3/I2S2_DIN0/PE_EINT9	IO	1.8V
44	MCSIA-STBY/PE8/BIST_RESULT2/I2S2_DOUT0/PE_EINT8	IO	1.8V
45	MCSIB-STBY/PE6/BIST_RESULT0/I2S2_BCLK/PE_EINT6	IO	1.8V

2.2 核心板引脚定义 2

核心板引脚定义 2			
引脚编号	**信号**	**类型**	**描述**
46	PE7/I2S2_LRCK/TCON_TRIG/PE_EINT7	IO	1.8V
47	PE0/MIPI_MCLK0/PE_EINT0	IO	1.8V
48	PE1/TWI2_SCK/PE_EINT1	IO	1.8V
49	PE2/TWI2_SDA/PE_EINT2	IO	1.8V
50	PE3/TWI3_SCK/PE_EINT3	IO	1.8V
51	PE4/TWI3_SDA/PE_EINT4	IO	1.8V
52	MCSIA-D0N	MIPI CSI 信号	不可做 GPIO
53	MCSIA-D0P	MIPI CSI 信号	不可做 GPIO
54	MCSIA-D1N	MIPI CSI 信号	不可做 GPIO
55	MCSIA-D1P	MIPI CSI 信号	不可做 GPIO

56	MCSIA-D3N	MIPI CSI 信号	不可做 GPIO
57	MCSIA-D3P	MIPI CSI 信号	不可做 GPIO
58	MCSIA-CLKN	MIPI CSI 信号	不可做 GPIO
59	MCSIA-CLKP	MIPI CSI 信号	不可做 GPIO
60	MCSIA-D2N	MIPI CSI 信号	不可做 GPIO
61	MCSIA-D2P	MIPI CSI 信号	不可做 GPIO
62	MCSIB-D0N	MIPI CSI 信号	不可做 GPIO
63	MCSIB-D0P	MIPI CSI 信号	不可做 GPIO
64	MCSIB-CLKN	MIPI CSI 信号	不可做 GPIO
65	MCSIB-CLKP	MIPI CSI 信号	不可做 GPIO
66	MCSIB-D1N	MIPI CSI 信号	不可做 GPIO
67	MCSIB-D1P	MIPI CSI 信号	不可做 GPIO
68	HPOUTL	耳机左声道输出	1.8V 不可做 GPIO
69	HPOUTR	耳机右声道输出	1.8V 不可做 GPIO
70	MBIAS	主 MIC 偏置电压输出	1.8V 不可做 GPIO
71	HSOMIC	耳机麦克风检测	1.8V 不可做 GPIO
72	HBIAS	次 MIC 偏置电压输出	1.8V 不可做 GPIO
73	LINEOUTP	音频输出	不可做 GPIO
74	LINEOUTN	音频输出	不可做 GPIO
75	MICIN1N	MIPI CSI 信号	不可做 GPIO
76	MICIN1P	MIPI CSI 信号	不可做 GPIO
77	MICIN2N	MIPI CSI 信号	不可做 GPIO
78	MICIN2P	MIPI CSI 信号	不可做 GPIO
79	GND	参考地	

2.3 核心板引脚定义 3

核心板引脚定义 3			
引脚编号	**信号**	**类型**	**描述**
80	HP-DET	IO	1.8V
81	PC2	IO	1.8V
82	PC3	IO	1.8V
83	PF0/SDC0_D1/JTAG_MS/JTAG_MS_GPU/PF_EINT0	IO	1.8V
84	PF6/PF_EINT6	IO	1.8V
85	PF5/SDC0_D2/JTAG_CK/JTAG_CK_GPU/PF_EINT5	IO	1.8V

86	PF4/SDC0_D3/UART0_RX/PF_EINT4	IO	1.8V
87	PF1/SDC0_D0/JTAG_DI/JTAG_DI_GPU/PF_EINT1	IO	1.8V
88	PF3/SDC0_CMD/JTAG_DO/JTAG_DO_GPU/PF_EINT3	IO	1.8V
89	PF2/SDC0_CLK/UART0_TX/PF_EINT2	IO	1.8V
90	PH9/DMIC_DATA0/SPI2_CLK/I2S2_BCLK/MDC0/PH_EINT9	IO	3.3V
91	PH8/DMIC_CLK/SPI2_CS/I2S2_MCLK/I2S2_DIN2/PH_EINT8	IO	3.3V
92	PH11/DMIC_DATA2/SPI2_MISO/I2S2_DOUT0/I2S2_DIN1/PH_EINT11	IO	3.3V
93	PH10/DMIC_DATA1/SPI2_MOSI/I2S2_LRCK/MDIO0/PH_EINT10	IO	3.3V
94	PH12/DMIC_DATA3/TWI3_SCK/I2S2_DIN0/I2S2_DOUT1/PH_EINT12	IO	3.3V
95	PB3/UART2_CTS/SPI2_MISO/JTAG_DI/PB_EINT3	IO	3.3V
96	PB0/UART2_TX/SPI2_CS/JTAG_MS/PB_EINT0	IO	3.3V
97	PB1/UART2_RX/SPI2_CLK/JTAG_CK/PB_EINT1	IO	3.3V
98	PB2/UART2_RTS/SPI2_MOSI/JTAG_DO/PB_EINT2	IO	3.3V
99	PH19/CIR_IN/I2S3_DOUT3/I2S3_DIN3/LEDC/PH_EINT19	IO	3.3V
100	PH18/CIR_OUT/I2S3_DOUT2/I2S3_DIN2/RGMII0_TXD2/PH_EINT18	IO	3.3V
101	PL10/S_PWM/S_PL_EINT10	IO	3.3V
102	PH14/I2S3_BCLK/RGMII0_RXD3/RMII0_NULL/PH_EINT14	IO	3.3V
103	GND	参考地	
104	PB4/TWI1_SCK/I2S0_MCLK/JTAG_MS_GPU/PB_EINT4	IO	3.3V
105	GND	参考地	
106	PB5/TWI1_SDA/I2S0_BCLK/JTAG_CK_GPU/PB_EINT5	IO	3.3V
107	PB6/I2S0_LRCK/JTAG_DO_GPU/PB_EINT6	IO	3.3V
108	PB7/I2S0_DOUT0/I2S0_DIN1/PB_EINT7	IO	3.3V
109	PB8/SPDIF_OUT/I2S0_DIN0/I2S0_DOUT1/PB_EINT8	IO	3.3V
110	PB10/UART0_RX/TWI0_SDA/PWM1/PB_EINT10	IO	3.3V
111	PB9/UART0_TX/TWI0_SCK/JTAG_DI_GPU/PB_EINT9	IO	3.3V
112	PL7/S_JTAG_DI/S_PL_EINT7	IO	3.3V
113	PL8/S_TWI1_SCK/S_PL_EINT8	IO	3.3V
114	PL9/S_TWI1_SDA/S_PL_EINT9	IO	3.3V
115	PL11/S_CPU_CUR_W/S_CIR_IN/S_PL_EINT11	IO	3.3V
116	PH0/TWI0_SCK/RGMII0_RXD1/RMII0_RXD1/PH_EINT0	IO	3.3V
117	PH1/TWI0_SDA/RGMII0_RXD0/RMII0_RXD0/PH_EINT1	IO	3.3V
118	PH2/TWI1_SCK/CPU_CUR_W/RGMII0_RXCTL/PH_EINT2	IO	3.3V
119	PH3/TWI1_SDA/CIR_OUT/RGMII0_CLKIN/RMII0_RXER/PH_EINT3	IO	3.3V
120	LRADC	低速模数转换器	1.8V

121	GND	参考地	

2.4 核心板引脚定义 4

核心板引脚定义 4			
引脚编号	**信号**	**类型**	**描述**
122	PH4/UART3_TX/SPI1_CS	IO	3.3V
123	PH5/UART3_RX/SPI1_CLK	IO	3.3V
124	PH6/UART3_RTS/SPI1_MOSI	IO	3.3V
125	PH7/UART3_CTS/SPI1_MISO	IO	3.3V
126	GND	参考地	
127	PH15/I2S3_LRCK	IO	3.3V
128	GND	参考地	
129	PH17/I2S3_DOUT1/I2S3_DIN0	IO	3.3V
130	GND	参考地	
131	PH13/TWI3_SDA/I2S3_MCLK	IO	3.3V
132	GND	参考地	
133	PH16/I2S3_DOUT0/I2S3_DIN1	IO	3.3V
134	GND	参考地	
135	GND	参考地	
136	GND	参考地	
137	GND	参考地	
138	GND	参考地	
139	NC/GND	模拟输入	伪差分耳机地参考
140	USB0-DRVVBUS	IO	PMIC 的 VBUS 模式选择与控制
141	TS	ADC 输入	PMIC 的温度检测
142	VBUS	电源输入	5V/2A
143	PMU-SDA	I2C0 数据	已接内部 PMIC
144	PUM-SCK	I2C0 时钟	已接内部 PMIC
145	AVCC	电源输出	1.8V/0.5A
146	GND	参考地	
147	GND	参考地	
148	GND	参考地	
149	PS	电源输入	5V/2A
150	PS	电源输入	5V/2A

151	PS	电源输入	5V/2A
152	ACIN	电源输入	5V/2A
153	ACIN	电源输入	5V/2A
154	VBAT	电池输入	单节电池 4.2V
155	VBAT	电池输入	单节电池 4.2V

2.5 硬件设计

2.5.1 管脚描述

TD133 除上述不可用作 GPIO 口、电源引脚和系统地外的信号引脚的其他 GPIO 口都可以复用作其他功能，如 I2C、UART、SPI、I2S、PWM 等等。

2.5.2 核心板 GPIO 电平

GPIO 电源域的电源脚描述如下：

电源域	GPIO 供电电压	TD133 核心板 IO 电平
VCC-PC	1.8V/3.3V	1.8V
VCC-PD	3.3V	3.3V
VCC-LVDS	1.8V	1.8V
VCC-PE	1.8V	1.8V
VCC-PG	3.3V	3.3V
VCC-PL	3.3V	3.3V

在做底板设计时，注意外设芯片的 IO 电平要与核心板的 IO 电平保持一致，否则会烧坏 CPU。

2.5.3 电源设计

TD133 核心板仅需要主电源供电即可正常使用。详细的电源管脚定义如下：

• 149、150、151 脚：PS 电源输入，建议 5V/2A；152、153 脚：ACIN 电源输入；142 脚：VBUS 输入；154、155 脚：VBAT 电池输入。电源走线宽度≥2mm，换层过孔不小于 5 个。

• 5 脚：DCDCE/VCC3V3 3.3V 输出；6 脚：ALDO3 3.3V 输出；7、8 脚：DCDCB、SWOUT 电源输出。

• 9、10、11 脚：CSI 模拟电源（BLDO4/DVDD-CSI、AVDD-CSI、VCC-CSI）。

• 145 脚：AVCC 模拟电源输出。

2.5.4 USB 设计

TD133 核心板有 2 路 USB2.0：USB0 使用 40/41 脚（DM/DP），USB1 使用 37/38 脚（DM/DP）；USB0-DRVVBUS 在 140 脚。USB 差分对按 90Ω±10%走线，并保证完整参考平面。

2.5.5 MIPI 设计

MIPI 是 2003 年由 ARM，Nokia，ST，TI 等公司成立的一个联盟，目的是把手机内部的接口如摄像头、显示屏、射频基带接口等标准化，从而减少手机的设计复杂度，增加设计的灵活性。MIPI 是一个比较新的标准，目前比较成熟的应用有 DSI（显示接口）和 CSI（摄相头接口）。

TD133 支持 1 路 MIPI DSI 和 2 路 MIPI CSI：DSI/LVDS 使用 12–35 脚，MIPI CSI 使用 52–67 脚；MIPI_MCLK0 在 47 脚，MIPI_MCLK1 在 63 脚。MIPI 差分对按 100Ω±10%走线并等长。

2.6 上电时序

TD133 由 PS/VBUS 5V 供电，AXP707 按内部时序建立 3.3V、1.8V、2.8V 与核心电源。底板上电顺序建议：PS/VBUS → PWRON → RESET 释放。

表 2-2 上电时序

序号	信号	说明
	PS/VBUS	5V/2A 输入建立
	VCC3V3/AVCC	3.3V/1.8V 输出建立
	PWRON	低电平触发开机
	RESET	低电平复位，稳定后释放
	FEL	需要烧录时拉低
	系统启动	UART0 输出启动日志

2.7 调试接口

调试串口为 UART0：TX 为 111 脚，RX 为 110 脚，3.3V 电平，默认 115200-8-N-1。FEL 为 4 脚，低电平进入烧录模式；RESET 为 3 脚，低电平复位。

第 3 章 接口资源

3.1 显示接口

TD133 支持 1 路 MIPI DSI 和 2 路 LVDS 显示。DSI/LVDS 复用 PD0~PD19 等引脚；背光 PWM 可用 PD20~PD23 或 PL10。

表 3-1 显示接口引脚

功能	引脚编号	信号名称（含复用）	说明
LVDS1 D3N / LCD DE / UART4 RX	12	PD19/LCD0_DE/LVDS1_D3N/UART4_RX/EINK_STH/PD_EINT19	3.3V/复用成 LVDS 则变 1.8V
LVDS1 D3P / LCD CLK / UART4 TX	13	PD18/LCD0_CLK/LVDS1_D3P/UART4_TX/EINK_CKH/PD_EINT18	3.3V/复用成 LVDS 则变 1.8V
PWM0 / TWI0 SDA	14	PD23/PWM0/TWI0_SDA/PD_EINT23	3.3V/复用成 LVDS 则变 1.8V
LCD VSYNC / PWM3 / UART4 CTS	15	PD21/LCD0_VSYNC/PWM3/UART4_CTS/EINK_MODE/PD_EINT21	3.3V/复用成 LVDS 则变 1.8V
LCD HSYNC / PWM2 / UART4 RTS	16	PD20/LCD0_HSYNC/PWM2/UART4_RTS/EINK_CKV/PD_EINT20	3.3V/复用成 LVDS 则变 1.8V
PWM1 / TWI0 SCK	17	PD22/PWM1/TWI0_SCK/EINK_STV/PD_EINT22	3.3V/复用成 LVDS 则变 1.8V
LVDS1 CKP / LCD D22 / UART3 RTS	18	PD16/LCD0_D22/LVDS1_CKP/UART3_RTS/EINK_OEH/PD_EINT16	3.3V/复用成 LVDS 则变 1.8V
LVDS1 CKN / LCD D23 / UART3 CTS	19	PD17/LCD0_D23/LVDS1_CKN/UART3_CTS/EINK_LEH/PD_EINT17	3.3V/复用成 LVDS 则变 1.8V
LVDS0 D3P / DSI DP3	20	PD8/LCD0_D12/LVDS0_D3P/DSI_DP3/EINK0_D8/PD_EINT8	3.3V/复用成 LVDS 则变 1.8V
LVDS0 D3N / DSI DM3	21	PD9/LCD0_D13/LVDS0_D3N/DSI_DM3/EINK0_D9/PD_EINT9	3.3V/复用成 LVDS 则变 1.8V
LVDS0 D2P / DSI CKP	22	PD4/LCD0_D6/LVDS0_D2P/DSI_CKP/EINK0_D4/PD_EINT4	3.3V/复用成 LVDS 则变 1.8V
LVDS0 D2N / DSI CKM	23	PD5/LCD0_D7/LVDS0_D2N/DSI_CKM/EINK0_D5/PD_EINT5	3.3V/复用成 LVDS

			则变 1.8V
LVDS0 CKP / DSI DP2	24	PD6/LCD0_D10/LVDS0_CKP/DSI_DP2/EINK0_D6/PD_EINT6	3.3V/复用成 LVDS 则变 1.8V
LVDS0 CKN / DSI DM2	25	PD7/LCD0_D11/LVDS0_CKN/DSI_DM2/EINK0_D7/PD_EINT7	3.3V/复用成 LVDS 则变 1.8V
LVDS0 D1P / DSI DP1	26	PD2/LCD0_D4/LVDS0_D1P/DSI_DP1/EINK0_D2/PD_EINT2	3.3V/复用成 LVDS 则变 1.8V
LVDS0 D1N / DSI DM1	27	PD3/LCD0_D5/LVDS0_D1N/DSI_DM1/EINK0_D3/PD_EINT3	3.3V/复用成 LVDS 则变 1.8V
LVDS0 D0P / DSI DP0	28	PD0/LCD0_D2/LVDS0_D0P/DSI_DP0/EINK0_D0/PD_EINT0	3.3V/复用成 LVDS 则变 1.8V
LVDS0 D0N / DSI DM0	29	PD1/LCD0_D3/LVDS0_D0N/DSI_DM0/EINK0_D1/PD_EINT1	3.3V/复用成 LVDS 则变 1.8V
LVDS1 D2P / LCD D20 / UART3 TX	30	PD14/LCD0_D20/LVDS1_D2P/UART3_TX/EINK0_D14/PD_EINT14	3.3V/复用成 LVDS 则变 1.8V
LVDS1 D2N / LCD D21 / UART3 RX	31	PD15/LCD0_D21/LVDS1_D2N/UART3_RX/EINK0_D15/PD_EINT15	3.3V/复用成 LVDS 则变 1.8V
LVDS1 D1P / LCD D18 / SPI1 MOSI	32	PD12/LCD0_D18/LVDS1_D1P/SPI1_MOSI/EINK0_D12/PD_EINT12	3.3V/复用成 LVDS 则变 1.8V
LVDS1 D1N / LCD D19 / SPI1 MISO	33	PD13/LCD0_D19/LVDS1_D1N/SPI1_MISO/EINK0_D13/PD_EINT13	3.3V/复用成 LVDS 则变 1.8V
LVDS1 D0P / LCD D14 / SPI1 CS	34	PD10/LCD0_D14/LVDS1_D0P/SPI1_CS/EINK0_D10/PD_EINT10	3.3V/复用成 LVDS 则变 1.8V
LVDS1 D0N / LCD D15 / SPI1 CLK	35	PD11/LCD0_D15/LVDS1_D0N/SPI1_CLK/EINK0_D11/PD_EINT11	3.3V/复用成 LVDS 则变 1.8V
背光 PWM	101	PL10/S_PWM/S_PL_EINT10	3.3V

3.2 摄像头接口

核心板引出 2 路 MIPI CSI：MCSIA 与 MCSIB。MCSIA 使用 52~61 脚，MCSIB 使用 62~67 脚；MCLK0 在 47 脚，MCLK1 在 63 脚；复位/待机在 43~45 脚。

表 3-2 MIPI CSI 接口引脚

功能	引脚编号	信号名称（含复用）	说明
MCSIA 复位 / I2S2 DIN0	43	MCSIA-RST/PE9/BIST_RESULT3/I2S2_DIN0/PE_EINT9	1.8V
MCSIA 待机 / I2S2 DOUT0	44	MCSIA-STBY/PE8/BIST_RESULT2/I2S2_DOUT0/PE_EINT8	1.8V
MCSIB 待机 / I2S2 BCLK	45	MCSIB-STBY/PE6/BIST_RESULT0/I2S2_BCLK/PE_EINT6	1.8V
I2S2 LRCK / TCON TRIG	46	PE7/I2S2_LRCK/TCON_TRIG/PE_EINT7	1.8V
MIPI MCLK0	47	PE0/MIPI_MCLK0/PE_EINT0	1.8V
TWI2 SCL	48	PE1/TWI2_SCK/PE_EINT1	1.8V
TWI2 SDA	49	PE2/TWI2_SDA/PE_EINT2	1.8V
TWI3 SCL	50	PE3/TWI3_SCK/PE_EINT3	1.8V
TWI3 SDA	51	PE4/TWI3_SDA/PE_EINT4	1.8V
MCSIA D0N	52	MCSIA-D0N	不可做 GPIO
MCSIA D0P	53	MCSIA-D0P	不可做 GPIO
MCSIA D1N	54	MCSIA-D1N	不可做 GPIO
MCSIA D1P	55	MCSIA-D1P	不可做 GPIO
MCSIA D3N	56	MCSIA-D3N	不可做 GPIO
MCSIA D3P	57	MCSIA-D3P	不可做 GPIO
MCSIA CLKN	58	MCSIA-CLKN	不可做 GPIO
MCSIA CLKP	59	MCSIA-CLKP	不可做 GPIO
MCSIA D2N	60	MCSIA-D2N	不可做 GPIO
MCSIA D2P	61	MCSIA-D2P	不可做 GPIO
MCSIB D0N	62	MCSIB-D0N	不可做 GPIO
MCSIB D0P	63	MCSIB-D0P	不可做 GPIO
MCSIB CLKN	64	MCSIB-CLKN	不可做 GPIO
MCSIB CLKP	65	MCSIB-CLKP	不可做 GPIO
MCSIB D1N	66	MCSIB-D1N	不可做 GPIO
MCSIB D1P	67	MCSIB-D1P	不可做 GPIO

3.3 USB 接口

TD133 提供 2 路 USB2.0：USB0 DM/DP 为 40/41 脚，USB1 DM/DP 为 37/38 脚；USB0-DRVVBUS 为 140 脚，VBUS 输入为 142、152、153 脚。USB 差分对按 90Ω 控制。

表 3-3 USB 接口引脚

功能	引脚编号	信号名称（含复用）	说明
USB1 DM	37	USB1-DM	不可做 GPIO
USB1 DP	38	USB1-DP	不可做 GPIO
USB0 DM	40	USB0-DM	不可做 GPIO
USB0 DP	41	USB0-DP	不可做 GPIO
USB0 DRVVBUS	140	USB0-DRVVBUS	PMIC 的 VBUS 模式选择与控制
5V 输入	142	VBUS	5V/2A
ACIN 输入	152	ACIN	5V/2A
ACIN 输入	153	ACIN	5V/2A

3.4 以太网接口

核心板提供 RGMII 接口，可外接 RTL8211F 等千兆 PHY。MDC/MDIO 在 90/93 脚，RGMII 数据/控制使用 100、102、116~119 脚。

表 3-4 以太网接口引脚

功能	引脚编号	信号名称（含复用）	说明
MDC	90	PH9/DMIC_DATA0/SPI2_CLK/I2S2_BCLK/MDC0/PH_EINT9	3.3V
MDIO	93	PH10/DMIC_DATA1/SPI2_MOSI/I2S2_LRCK/MDIO0/PH_EINT10	3.3V
RGMII TXD2	100	PH18/CIR_OUT/I2S3_DOUT2/I2S3_DIN2/RGMII0_TXD2/PH_EINT18	3.3V
RGMII RXD3	102	PH14/I2S3_BCLK/RGMII0_RXD3/RMII0_NULL/PH_EINT14	3.3V
RGMII RXD1	116	PH0/TWI0_SCK/RGMII0_RXD1/RMII0_RXD1/PH_EINT0	3.3V
RGMII RXD0	117	PH1/TWI0_SDA/RGMII0_RXD0/RMII0_RXD0/PH_EINT1	3.3V
RGMII RXCTL	118	PH2/TWI1_SCK/CPU_CUR_W/RGMII0_RXCTL/PH_EINT2	3.3V
RGMII CLKIN	119	PH3/TWI1_SDA/CIR_OUT/RGMII0_CLKIN/RMII0_RXER/PH_EINT3	3.3V

3.5 音频接口

音频包括耳机输出、LINE OUT、2 路 MIC 与偏置；HP-DET 为 80 脚。模拟音频走线远离高速差分，耳机接口加 ESD。

表 3-5 音频接口引脚

功能	引脚编号	信号名称（含复用）	说明
耳机左声道	68	HPOUTL	1.8V 不可做 GPIO
耳机右声道	69	HPOUTR	1.8V 不可做 GPIO
主 MIC 偏置	70	MBIAS	1.8V 不可做 GPIO
耳机 MIC 检测	71	HSOMIC	1.8V 不可做 GPIO
次 MIC 偏置	72	HBIAS	1.8V 不可做 GPIO
LINE OUT P	73	LINEOUTP	不可做 GPIO
LINE OUT N	74	LINEOUTN	不可做 GPIO
MIC1 N	75	MICIN1N	麦克风输入
MIC1 P	76	MICIN1P	麦克风输入
MIC2 N	77	MICIN2N	麦克风输入
MIC2 P	78	MICIN2P	麦克风输入
耳机检测	80	HP-DET	1.8V

3.6 存储与 SD 卡接口

SDC0 为 4-bit SDIO，使用 83~89 脚，可接 TF 卡；CLK/CMD/DATA 按 50Ω 控制，卡座加 ESD。

表 3-6 SDC0 接口引脚

功能	引脚编号	信号名称（含复用）	说明
SDC0 D1	83	PF0/SDC0_D1/JTAG_MS/JTAG_MS_GPU/PF_EINT0	1.8V
PF6 / EINT6	84	PF6/PF_EINT6	1.8V
SDC0 D2	85	PF5/SDC0_D2/JTAG_CK/JTAG_CK_GPU/PF_EINT5	1.8V
SDC0 D3 / UART0 RX	86	PF4/SDC0_D3/UART0_RX/PF_EINT4	1.8V
SDC0 D0	87	PF1/SDC0_D0/JTAG_DI/JTAG_DI_GPU/PF_EINT1	1.8V
SDC0 CMD	88	PF3/SDC0_CMD/JTAG_DO/JTAG_DO_GPU/PF_EINT3	1.8V
SDC0 CLK / UART0 TX	89	PF2/SDC0_CLK/UART0_TX/PF_EINT2	1.8V

3.7 低速接口与 GPIO

低速资源包括 4 路 UART、5 路 I2C/TWI、2 路 SPI、3 路 I2S、5 路 PWM、1 路 LRADC 与多路 GPIO。UART0 为 89/86 脚，UART2 为 95~98 脚，UART3 为 122~125 脚，UART4 为 12/13/15/16 脚；TWI2 为 48/49 脚，TWI3 为 50/51 脚；SPI1 使用 32~35 或 122~125 脚，SPI2 使用 90~98 脚。

表 3-7 低速接口资源

资源	数量	说明
UART	4 路	UART0 89/86；UART2 95~98；UART3 122~125；UART4 12/13/15/16
I2C/TWI	5 路	TWI0 110/116；TWI1 104/106；TWI2 48/49；TWI3 50/51；PMU I2C 143/144
SPI	2 路	SPI1 32~35 或 122~125；SPI2 90~98
I2S	3 路	I2S0 104~109；I2S2 43~46/90~94；I2S3 99/102/127/129/131/133
PWM	5 路	PWM0~3（14~17）；S_PWM 101
LRADC	1 路	120 脚
GPIO	多路	PD/PE/PF/PB/PH/PL 复用

3.8 系统控制与电源

系统控制包括 NMI、PWRON、RESET、FEL、PS/VBUS/ACIN/VBAT、PMU I2C 与温度检测；电源输入为 5V/2A，VBAT 支持单节 4.2V 电池。

表 3-8 系统控制与电源引脚

功能	引脚编号	信号名称（含复用）	说明
NMI	1	NMI	上拉或下拉
PWRON	2	PWRON	低电平触发
RESET	3	RESET	低电平触发
FEL	4	FEL	低电平触发
3.3V 输出	5	DCDCE/VCC3V3	PMIC 的 DLDO3
3.3V 输出	6	ALDO3	3.3V
GPIO	7	PC7	1.8V
GPIO	8	PC12	1.8V
模拟音频地	139	NC/GND	伪差分耳机地参考
USB0 DRVVBUS	140	USB0-DRVVBUS	PMIC 的 VBUS 模式选择与控制
温度检测	141	TS	PMIC 的温度检测
5V 输入	142	VBUS	5V/2A
PMIC SDA	143	PMU-SDA	已接内部 PMIC
PMIC SCK	144	PUM-SCK	已接内部 PMIC
1.8V 输出	145	AVCC	1.8V/0.5A
GND	146	GND	
GND	147	GND	

GND	148	GND	
PS 输入	149	PS	5V/2A
PS 输入	150	PS	5V/2A
PS 输入	151	PS	5V/2A
ACIN 输入	152	ACIN	5V/2A
ACIN 输入	153	ACIN	5V/2A
VBAT 输入	154	VBAT	单节电池 4.2V
VBAT 输入	155	VBAT	单节电池 4.2V

第 4 章 PCB 设计与 Layout 指南

4.1 阻抗控制

底板走线应按表 4-1 控制阻抗；高速差分对内部等长，参考平面连续。

表 4-1 阻抗控制要求

信号类型	目标阻抗	备注
	90Ω	D+/D-
	100Ω	差分对
	100Ω	差分对
	100Ω	TX/RX
	50Ω	CLK/CMD/DATA

4.2 高速差分接口

MIPI/LVDS/USB 差分对尽量同层走线，避免跨分割；换层时在过孔附近加回流地孔；连接器、ESD 与共模电感按信号流向排列。

4.3 电源与 EMC

5V 输入加 TVS、保险丝与去耦；3.3V/1.8V 按负载留余量；晶振、DCDC 电感远离高速差分与天线；外露接口加 ESD。

4.4 底板设计检查清单

- PS/VBUS 5V 电流与纹波是否满足 2A？
- PWRON/RESET/FEL 上下拉与按键是否正确？
- MIPI/LVDS/USB/RGMII 阻抗与等长是否满足？
- SD、音频、耳机接口 ESD 是否完整？
- 调试 UART 与测试点是否保留？

第 5 章 订货与技术支持

5.1 订货配置

表 6-1 订货配置

配置项	标准配置	可选配置
	1GB DDR3	512MB~2GB
	8GB eMMC	4/16/32/64GB
	TD133CV4	155PIN
	Android/Linux	按项目定制

5.2 技术支持

联系九鼎创展技术支持时，请提供核心板型号、底板原理图页码、问题现象与串口日志。

附录 A 其他产品介绍

A.1 核心板系列

处理器型号	核心板型号	备注
S5P4418	X4418CV3.5/X4418CV4	180PIN 邮票孔接口
	I4418CV2	200PIN 板对板连接器
S5P6818	X6818CV3.5/X6818CV4	180PIN 邮票孔接口
	I6818CV2	200PIN 板对板连接器
RK3128	X3128CV4	144PIN 邮票孔接口
	I3128CV1	112PIN 邮票孔接口
PX30	X30CV1	144PIN 邮票孔接口
	X30CV2	144PIN 邮票孔接口
RK3288	X3288CV5	180PIN 邮票孔接口
	I3288CV1	220PIN 邮票孔接口
RK3399	X3399CV3	200PIN 邮票孔接口
	X3399CV4/X3399CV5	200PIN 邮票孔接口
RK3399pro	X3399proCV1.2	220PIN 邮票孔接口
RK1808	X1808CV1	144PIN 邮票孔接口
MT8385	X8385CV1	168PIN 邮票孔接口
MT8768	X8768CV1	168PIN 邮票孔接口
A40I	X40ICV2	172PIN 邮票孔接口
T507	X507CV2	172PIN 邮票孔接口
RK3566	X3566CV2/X3566CV3	200PIN 邮票孔接口
RK3566	I3566CV1	172PIN 邮票孔接口
RK3568	X3568CV2/X3568CV3	200PIN 邮票孔接口
RK3568	I3568CV1	172PIN 邮票孔接口
RK3588	I3588CV1	320PIN 板对板连接器
RK3588S	X5388SCV1	200PIN 邮票孔接口
JH7110	X7110CV2	172PIN 邮票孔接口
A133	TD133CV2	172PIN 邮票孔接口

A.2 开发板系列

处理器型号	开发板型号	备注
S5P4418	x4418 开发板	x4418cv3 评估板
S5P6818	x6818 开发板	x6818cv3 评估板
	i6818 开发板	i6818cv2 评估板
RK3128	X3128 开发板	x3128cv4 评估板
	I3128 开发板	I3128CV1 评估板
PX30	X30 开发板	x30cv1 评估板
RK3288	x3288 开发板	x3288cv3 评估板
	i3288 开发板	i3288cv1 评估板
RK3399	x3399 开发板	x3399cv3/x3399cv4 评估板
RK3399pro	x3399pro 开发板	x3399pro 评估板
RK1808	x1808 开发板	x1808cv1 评估板
MT8385	X8385 开发板	X8385CV1 评估板
MT8768	X8768 开发板	X8768CV1 评估板
A40I	X40I 开发板	X40ICV2 评估板
T507	X507 开发板	X507CV2 评估板
RK3566	X3566 开发板	X3566CV1 评估板
RK3566	I3566 公板	I3566CV1 评估板
RK3568	X3568 开发板	X3568CV2 评估板

RK3568	I3568 公板	I3568CV1 评估板
RK3588	I3588 开发板	I3588CV1 评估板
RK3588S	X3588S 开发板	X3588SCV1 评估板
JH7110	X7110 开发板	X7110CV2 开发板

A.3 卡片电脑系列

处理器型号	卡片电脑型号	备注
S5P4418	ibox4418 卡片电脑	
S5P6818	ibox6818 卡片电脑	
RK3399	ibox3399 卡片电脑	
RK3568	ibox3568 卡片电脑	

说明：产品详细规格，以及更多其他产品请关注九鼎创展官方网站和论坛。